



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Offenlegungsschrift  
⑩ DE 43 20 780 A 1

⑤ Int. Cl.<sup>8</sup>:  
H 01 L 29/06  
H 01 L 29/866  
H 01 L 21/329  
H 01 L 21/302

⑳ Aktenzeichen: P 43 20 780.4  
㉔ Anmeldetag: 23. 6. 93  
㉕ Offenlegungstag: 9. 3. 95

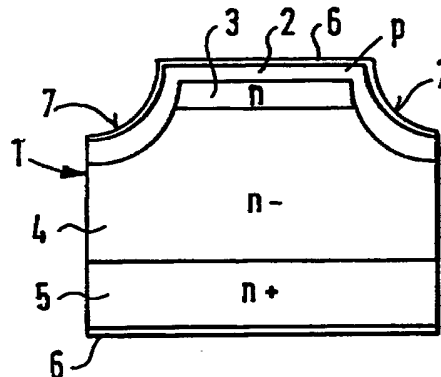
DE 43 20 780 A 1

㉑ Anmelder:  
Robert Bosch GmbH, 70469 Stuttgart, DE

㉒ Erfinder:  
Goebel, Herbert, Dr.rer.nat. Dr., 72766 Reutlingen, DE; Biallas, Vesna, 72768 Reutlingen, DE; Mindl, Anton, Dipl.-Phys. Dr., 72076 Tübingen, DE; Spitz, Richard, Dipl.-Phys., 72766 Reutlingen, DE

⑤4 Halbleiteranordnung und Verfahren zur Herstellung

⑤7 Es werden Halbleiteranordnungen, insbesondere Dioden, vorgeschlagen, die eine p-Schicht (2) und zwei unterschiedlich stark dotierte n-Schichten (3, 4) aufweisen. Der pn-Übergang zwischen der p-Schicht (2) und der stark dotierten n-Schicht (3) ist dabei derart im Chip (1) angeordnet, daß er vollständig im Inneren des Chips liegt. Der pn-Übergang zwischen der p-Schicht (2) und der n-Schicht (4) ist in den Außenbereichen des Chips (1) gelegen. Durch diese Anordnung wird erreicht, daß auf der Außenseite des Chips keine hohen Feldstärken auftreten und gleichzeitig gut reproduzierbare Eigenschaften erzielt werden. Das vorgestellte Herstellungsverfahren kann auch außerhalb eines Reinraumes verwendet werden (Figur 3).



DE 43 20 780 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 01. 95 408 070/8

8/32

## Stand der Technik

Die Erfindung geht aus von einer Halbleiteranordnung nach der Gattung des unabhängigen Anspruchs 1 und einem Verfahren zur Herstellung von Halbleiteranordnungen nach den unabhängigen Ansprüchen 7 und 9. Aus der DE 41 30 247 sind Halbleiteranordnungen mit pn-Übergängen bekannt. Bei diesen Halbleiteranordnungen sind jedoch pn-Übergänge zwischen stark dotierten p- und stark dotierten n-Schichten auch in der Nähe der Oberfläche angeordnet oder werden nur mit vergleichsweise hohem Aufwand vermieden.

## Vorteile der Erfindung

Die erfindungsgemäße Halbleiteranordnung mit den kennzeichnenden Merkmalen des unabhängigen Anspruchs 1 hat demgegenüber den Vorteil, daß mit besonders einfachen Mitteln pn-Übergänge zwischen stark dotierten Bereichen in das Innere des Siliziumchips gelegt werden. Es sind daher keine Maßnahmen zum Abschirmen der an solchen pn-Übergängen auftretenden hohen Feldstärken erforderlich. Die Verfahren nach den unabhängigen Ansprüchen 7 und 9 erlauben die Herstellung derartiger Halbleiteranordnungen mit besonders wenigen und kostengünstigen Prozeßschritten.

Durch die in den abhängigen Ansprüchen aufgeführten Maßnahmen sind vorteilhafte Weiterbildungen und Verbesserungen der in den unabhängigen Ansprüchen angegebenen Halbleiteranordnungen und Verfahren möglich. Durch die Ausbildung der zweiten Schicht mit insgesamt drei Teilschichten kann jede der einzelnen Teilschichten eine spezifische Funktion übernehmen. Bei entsprechender Dotierung der ersten Schicht und der dritten Teilschicht kann insbesondere eine besonders einfache Kontaktierung des Halbleiterelements vorgenommen werden. Der Aufbau des Halbleiterelements wird besonders einfach, wenn sich die erste Schicht, die zweite und dritte Teilschicht jeweils über den gesamten Querschnitt und die erste Teilschicht nur über den Mittelbereich des Halbleiterchips erstrecken. Durch eine glatte Ausbildung der Oberseite kann die Kontaktierung des Chips mit besonders einfachen Mitteln erfolgen. Chips, die nur in ihrem Mittelbereich eine glatte Oberfläche aufweisen, lassen sich mit besonders einfachen Mitteln fertigen.

Das Herstellungsverfahren nach dem Anspruch 7 erlaubt die Herstellung von Halbleitervorrichtungen mit besonders einfachen Mitteln auch außerhalb eines Reinraumes. Die Gräben können dabei alternativ durch Ätzen oder Sägen eingebracht werden. Im Anspruch 9 wird ein Verfahren vorgestellt, welches eine genaue Definition der Fläche des pn-Überganges mit nur einem einzigen Belichtungsschritt erlaubt.

## Zeichnungen

Ausführungsbeispiele der Erfindung sind in den Zeichnungen dargestellt und in der nachfolgenden Beschreibung näher erläutert. Es zeigen die Fig. 1 und 2 eine erste und eine zweite Halbleiteranordnung nach dem Stand der Technik, Fig. 3 und 4 ein erstes und ein zweites Ausführungsbeispiel der Erfindung und die Fig. 5 das Herstellungsverfahren für eine Halbleiteranordnung nach der Fig. 3.

In der Fig. 1 ist ein Halbleiterelement, eine Diode, nach dem Stand der Technik dargestellt. Bei dieser Diode ist ein Halbleiterchip 100 zwischen zwei metallischen Anschlüssen 105 angeordnet. Zwischen den metallischen Anschlüssen 105 und dem Halbleiterchip 100 ist eine Metallisierung des Chips 100 bzw. eine Lot-schicht 104 vorgesehen, die einen elektrischen und mechanischen Kontakt zwischen dem Chips 100 und den metallischen Anschlüssen 105 sicherstellt. Der Chip 100 weist eine p-Schicht 101 und eine aus zwei Teilschichten 102, 103 aufgebaute n-Schicht auf. Von diesen beiden Teilschichten bildet die niedriger dotierte Teilschicht

102 den pn-Übergang mit der p-Schicht 101. Die Dotierung der p-Schicht 101 und der unteren n-Teilschicht 103 sind derart hoch gewählt, daß ein ohmscher Kontakt zu den Metallisierungen 104 und somit auch zu den Anschlüssen 105 sichergestellt ist. Die Dotierung der oberen n-Teilschicht 102 ist derart gewählt, daß ein ausreichendes Sperrverhalten der Diode sichergestellt wird. Eine typische Dotierung für die Teilschicht 102 liegt in der Größenordnung von  $10^{14} \text{ cm}^{-3}$  und für die stärker dotierte Teilschicht 103 in der Größenordnung von  $10^{20} \text{ cm}^{-3}$ . In seinem Randbereich wird der Siliziumchip 100 von einer Passivierung 113 geschützt. Diese Passivierung 113 kann beispielsweise aus einem Glaslot oder einem geeigneten Kunststoff bestehen. Dieser Schutz durch die Passivierung 113 ist insbesondere erforderlich, da an einem pn-Übergang ein starker Spannungsabfall und daher eine große Feldstärke auftritt.

Aufgrund einer solchen Feldstärke kann es dann an einem freiliegenden pn-Übergang zu unerwünschten Partikelanhäufungen oder chemischen Reaktionen mit Umweltmedien kommen. Die Feldstärke ist eine Funktion der Dotierstoffkonzentration. Durch die relativ geringe Konzentration der Teilschicht 102 sind bei der hier vorliegenden Diode die Feldstärken relativ gering und eine Passivierung durch die Schicht 113 ausreichend.

In der Fig. 2 wird ein weiteres Ausführungsbeispiel, eines für eine Zenerdiode gezeigt. Die Zenerdiode ist aus einer p-Schicht 106, einer normal dotierten n-Teilschicht 107, einer schwach dotierten n-Teilschicht 108 und einer stark dotierten n-Teilschicht 109 aufgebaut. Die Dotierung der p-Schicht 106 und der n-Teilschichten 108 und 109 entsprechen in etwa den aus der Fig. 1 bekannten Dotierung, der p-Schicht 101 und der n-Teilschicht 102 und 103. Die Dotierung der n-Teilschicht 107 liegt in der Größenordnung von  $10^{18} \text{ cm}^{-3}$ , also zwischen der Dotierung der n-Teilschicht 108 und der n-Teilschicht 109. Der pn-Übergang wird hier zwischen der p-Schicht 106 und der normal dotierten n-Teilschicht 107 gebildet. Durch die Verwendung dieser n-Teilschicht 107 läßt sich die Durchbruchspannung der Zenerdiode besonders gut und reproduzierbar einstellen. Problematisch ist bei diesem Aufbau jedoch, daß nun ein pn-Übergang zwischen vergleichsweise stärker dotierten Bereichen an der Oberfläche des Siliziumchips liegt. Auf der Oberseite dieses Siliziumchips ist daher eine Passivierung 112 aus Siliziumoxid vorgesehen, die weiterhin unterhalb der Anschlußmetallisierung 110 angeordnet ist. Durch diese Anordnung wird eine Abschirmung des zwischen der p-Schicht 106 und der n-Teilschicht 107 gebildeten pn-Übergangs bewirkt, so daß die hohen Feldstärken dieses pn-Übergangs die Eigenschaften der Diode nicht beeinträchtigen können. Der Anschluß der Metallisierung 110 und 111 an entsprechende Anschlüsse erfolgt in analoger Weise wie bei der

Fig. 1.

Die bei der Diode nach der Fig. 2 erreichte Verbesserung der Eigenschaften der Diode erfordert jedoch eine Vergrößerung des Aufwandes zur Herstellung dieser Diode. Die Diode nach der Fig. 1 kann nämlich auch außerhalb eines Reinraumes hergestellt werden, da keinerlei Lithografieschritte erforderlich sind. Demgegenüber müssen bei der Diode nach der Fig. 2 mehrere Lithografieschritte unter Reinraumbedingungen durchgeführt werden, um die notwendige Strukturierung der p-Schicht 106, der Passivierungsschicht 112 und der Metallisierung 110 zu gewährleisten.

In der Fig. 3 wird ein erstes Ausführungsbeispiel der Erfindung gezeigt. Es handelt sich dabei um eine Zenerdiode, die aus einer p-Schicht 2 und einer aus mehreren Teilschichten 3, 4 und 5 bestehenden n-Schicht aufgebaut ist. Die Dotierung der p-Schicht 2 entspricht dabei der Dotierung der p-Schicht 106 aus Fig. 2 und die Dotierung der n-Teilschichten 3, 4 und 5 entspricht der Dotierung der n-Teilschichten 107, 108 und 109 der Fig. 2. Auf der Oberseite und der Unterseite des Siliziumchips 1 ist jeweils eine Metallisierung 6 vorgesehen, durch die die Diode kontaktiert werden kann. Die Oberseite des Siliziumchips 1 weist in ihrem Mittelbereich eine glatte Oberfläche auf, während der Randbereich eine abgesetzte Stufe 7 aufweist. Die p-Schicht 2 bedeckt die Oberseite des Siliziumchips 1 überall mit in etwa der gleichen Dicke, so daß die geometrische Struktur der Oberfläche des Chips 1 auch der Grenzfläche der p-Schicht 2 zu den n-Teilschichten 3 bzw. 4 entspricht. Die p-Schicht 2 bildet jeweils einen pn-Übergang mit der n-Teilschicht 3 und der n-Teilschicht 4. Die n-Teilschicht 3 ist dabei nur unterhalb des ebenen Mittelbereichs der Oberseite des Siliziumchips 1 ausgebildet. Die n-Teilschichten 4 und 5 sind jeweils über den gesamten Querschnitt des Chips 1 ausgebildet. Die stark dotierte n-Teilschicht 5 steht nur mit der schwach dotierten n-Teilschicht 4 in Kontakt. Die schwach dotierte n-Teilschicht 4 steht im Randbereich mit der p-Schicht 2 und im Inneren des Mittelbereichs des Chips 1 mit der n-Teilschicht 3 in Kontakt. Da die Dotierung der n-Schicht 3 größer ist als die Dotierung der n-Schicht 4 werden die Eigenschaften der Diode jedoch ausschließlich vom pn-Übergang zwischen der p-Schicht 2 und der n-Teilschicht 3 bestimmt. Durch die Ausbildung der n-Teilschicht ausschließlich in dem Mittelbereich des Siliziumchips 1 berührt der pn-Übergang zwischen der p-Schicht 2 und der n-Teilschicht 3 an keiner Stelle die Oberfläche des Siliziumchips 1. Es treten damit an keiner Stelle der Oberfläche des Siliziumchips 1 hohe Feldstärken auf, die besondere Maßnahmen zur Abschirmung erfordern würden. Der pn-Übergang zwischen der p-Schicht 2 und der n-Teilschicht 4 ist aufgrund der geringen Dotierstoffkonzentration der n-Teilschicht 4 unproblematisch, da er nur geringe Feldstärken erzeugen kann.

In der Fig. 4 wird ein weiteres Ausführungsbeispiel der Erfindung gezeigt. Es handelt sich dabei wiederum um eine Zenerdiode, die aus einer p-Schicht 12 und aus einer aus drei Teilschichten 13, 14 und 15 bestehenden n-Schicht aufgebaut ist. Die Dotierung der p-Schicht 12 entspricht dabei der Dotierung der p-Schicht 2, die Dotierung der n-Teilschichten 13 bis 15 entspricht der Dotierung der n-Teilschichten 3 bis 5. Auf der Oberseite und Unterseite des Siliziumchips 11 ist eine Metallisierung 16 aufgebracht, die zum Anschluß der Diode dient. Die p-Schicht 12 und die n-Teilschichten 14 und 15 erstrecken sich jeweils über den gesamten Querschnitt des

Siliziumchips 11. Die n-Teilschicht 13 ist nur im Mittelbereich des Siliziumchips 11 ausgebildet, so daß der sich zwischen der p-Schicht 12 und n-Teilschicht 13 ausbildende pn-Übergang ausschließlich im Inneren des Siliziumchips 11 befindet und an keiner Stelle in Kontakt mit der Oberfläche ist. Der pn-Übergang zwischen der p-Schicht 12 und der n-Teilschicht 14 ist dagegen im Randbereich des Siliziumchips 11 angeordnet und berührt die Oberfläche. Aufgrund der geringen Dotierstoffkonzentration ist jedoch dieser an der Oberfläche liegende pn-Übergang unproblematisch.

Im Vergleich zur Diode nach der Fig. 2 lassen sich die Dioden nach den Fig. 3 und 4 mit weniger Prozeßschritten herstellen. Dabei kann insbesondere die Zahl der Prozeßschritte, die im Reinraum ausgeführt werden müssen, verringert werden. Auch wenn in den Fig. 3 und 4 jeweils Zenerdioden vorgestellt sind, läßt sich die erfindungsgemäße Lehre auch auf andere Halbleiteranordnungen, die einen pn-Übergang zwischen einer stark dotierten p- und einer stark dotierten n-Schicht mit einer nachgelagerten, schwächer dotierten n-Schicht übertragen. Ebenso sind Bauelemente möglich bei denen alle p- und n-Schichten miteinander vertauscht sind.

Zur Herstellung einer Diode nach der Fig. 4 wird zunächst von einem schwach n-dotierten Siliziumwafer ausgegangen, wobei die Dotierstoffkonzentration der Dotierstoffkonzentration der späteren n-Teilschicht 14 entspricht. In einem weiteren Prozeßschritt, beispielsweise durch eine Oxidation, wird der Wafer mit einer Maskierungsschicht, beispielsweise Siliziumoxid, bedeckt. Durch einen Fotoprozeß werden Fenster in diese Maskierschicht eingebracht. Durch diese Fenster werden die geometrischen Abmessungen der n-Teilschicht 13 definiert, da durch diese Fenster ein Dotiermittel für eine n-Leitung, beispielsweise Phosphor, in den Wafer eingebracht werden. Dies kann beispielsweise durch Implantieren oder eine Dotierstoffolie erfolgen. Die Dotierstoffe werden danach in einem Diffusionsschritt in den Siliziumwafer eingetrieben und danach die Maskierschicht entfernt. In einem weiteren Prozeßschritt wird nun auf der Oberseite des Wafers ein Dotierstoff für eine p-Leitfähigkeit, beispielsweise Bor, und auf der Rückseite ein Dotierstoff für eine n-Leitfähigkeit, beispielsweise Phosphor in den Siliziumwafer eingebracht und eindiffundiert. Dies kann besonders einfach durch eine Foliendiffusion erfolgen, wobei auf der Oberseite eine Borfolie und auf der Unterseite eine Phosphorfolie verwendet wird. Bei einer Foliendiffusion wird eine dotierstoffhaltige Folie auf den Siliziumwafer gelegt und der Verbund von Folie und Siliziumwafer wird gemeinsam erhitzt. Der Siliziumwafer weist nun eine Vielzahl von Siliziumstrukturen mit den Schichten 12, 13, 14 und 15 auf. Als Alternative kann die Teilschicht 15 auch mit der Teilschicht 13 hergestellt werden und anschließend die p-Schicht 12 durch Epitaxie aufgebracht werden. Die Oberflächen des Wafers sind jedoch durch den Diffusionsschritt noch mit einem Oxid bedeckt. Nach dem Entfernen dieses Oxides wird ganz flächig eine Metallisierung auf der Oberseite und Unterseite aufgebracht. Durch Zerteilen des Siliziumwafers, beispielsweise durch Sägen oder Ritzen und Brechen, entsteht dann eine Vielzahl von Diodenstrukturen, wie sie in der Fig. 4 gezeigt sind. Dieses Verfahren ist besonders kostengünstig, da nur die fotolithografische Strukturierung der Maskierungsschicht im Reinraum erfolgen muß. Alle anderen Prozeßschritte können auch außerhalb eines Reinraumes vorgenommen werden. Weiterhin ist die Foliendiffusion ein besonders kostengünstiger Schritt,

insbesondere wenn in einem Siliziumwafer von beiden Seiten ausgehend jeweils unterschiedliche Dotierstoffe eingebracht werden. Da es sich bei der n-Teilschicht 13 um eine relativ große Struktur handelt, können zudem besonders einfache und somit kostengünstige Belichtungstechniken verwendet werden.

Die Herstellung der Dioden nach der Fig. 3 wird anhand der Fig. 5 erläutert. Ausgangspunkt ist wieder ein schwach dotierter n-Wafer, dessen Dotierstoffkonzentration der Dotierstoffkonzentration der Teilschicht 4 entspricht. Durch eine Foliendiffusion wird dann auf die Oberseite und auf die Unterseite n-Dotierstoff, beispielsweise Phosphor eingebracht und eindiffundiert. Dies erfolgt wieder zweckmäßigerweise mit einer Foliendiffusion. Auf der Oberseite wird so eine Schicht gebildet, deren Dotierstoffkonzentration der Teilschicht 3 und auf der Unterseite eine Schicht gebildet, deren Dotierstoffkonzentration der Teilschicht 5 entspricht. Die Dotierstoffkonzentration der Schichten wird dabei durch die Dotierstoffkonzentration der Folien bestimmt. Auf der Oberseite werden dann Gräben 22 eingebracht, die auf den Zerteilungslinien 21 liegen, entlang derer der Siliziumwafer am Ende des Herstellungsverfahrens in einzelne Siliziumchips zerteilt wird. Das Einbringen der Gräben 22 kann beispielsweise durch Sägen oder Ätzen erfolgen. Vor der weiteren Verarbeitung wird dann die Waferoberfläche gesäubert, um eventuell verbliebene Partikel von der Oberfläche zu entfernen. Nach dem Einbringen der Gräben 22 wird in die Oberseite ein p-Dotierstoff beispielsweise Bor eingebracht. Gleichzeitig kann, sofern dies vorteilhaft erscheint, die Dotierstoffkonzentration der unteren Schicht 5 erhöht werden. Das Einbringen des p-Dotierstoffes erfolgt wieder durch Foliendiffusion. Bei diesem Diffusionsschritt werden eventuelle Schäden, die in der unmittelbaren Nähe der Gräben 22 im Siliziumeinkristall vorhanden sein können ausgeheilt. Die Gräben 22 sind dabei so tief ausgebildet, daß sie die n-Schicht 3 auf der Oberseite des Siliziumwafers vollständig durchdringen und so bis zur Schicht 4 reichen. Durch die p-Diffusion wird die obere Schicht des Siliziumwafers in ein p-leitendes Gebiet verändert. Die Dicke dieser p-Schicht ist dabei überall auf der Oberfläche, insbesondere auch in den Gräben annähernd gleich. In der Fig. 5 wird nun ein Querschnitt durch einen Siliziumwafer nach diesem Prozeßschritt gezeigt. Wie zu erkennen ist, liegt nun zwischen zwei Gräben 22 bzw. zwei Zerteilungslinien jeweils die Siliziumstruktur der Dioden nach der Fig. 3. Vor dem Zerteilen des Siliziumwafers 20 wird jedoch noch eine Metallisierung ganzflächig auf der Oberseite und Unterseite aufgebracht. Anschließend wird der Siliziumwafer in eine Vielzahl einzelner Dioden nach der Fig. 3 zerteilt. Besonders einfach erfolgt dieses Zerteilen durch Brechen entlang der Zerteilungslinien 21, da durch die Gräben 22 Sollbruchstellen in den Siliziumwafer 20 eingebaut sind. Vorteilhaft ist am Brechen weiterhin, daß eine Verschmutzung der Seitenflächen mit Metallpartikeln, wie sie beim Sägen ausgehend von der Metallisierung auf der Seitenfläche verteilt werden können, ausgeschlossen ist. Besonders vorteilhaft an diesem Verfahren ist, daß die Prozeßschritte alle außerhalb eines Reinraumes vorgenommen werden können. Es sind keinerlei lithographische Schritte erforderlich, um die Dioden nach der Fig. 3 herzustellen. Weiterhin erfolgen alle Prozeßschritte mit der besonders kostengünstigen Foliendiffusion. Die Kosten für die einzelnen Diodenelemente können somit gering gehalten werden.

Durch die Dicke der schwach n-dotierten Schicht 4

bzw. 14 wird die Flußspannung, d. h. der Widerstand der Diode bei leitend geschalteter Diode beeinflusst. Es kann daher wünschenswert sein, diese Schicht relativ dünn auszubilden, um die Flußspannung zu verringern. Dazu können Siliziumwafer verwendet werden, die bereits im Anfangsstadium eine sehr dicke, stark n-dotierte Schicht 5, 15 aufweisen und nur eine relativ dünne, schwach n-dotierte Schicht 4, 14 aufweisen. Die Herstellung solcher Siliziumwafer erfolgt beispielsweise durch die Verbindung eines stark und eines schwach dotierten Siliziumwafers mittels eines Bondprozesses und mechanischer Nachbearbeitung. Ein solcher Siliziumwafer kann dann auch zur Herstellung der Dioden nach den Fig. 3 und 4 verwendet werden, wobei dann nur die Prozesse durchgeführt werden, die auf der Oberseite erforderlich sind.

#### Patentansprüche

1. Halbleiteranordnung mit einem pn-Übergang, insbesondere eine Diode, die als Chip (1, 11) mit einem Randbereich ausgebildet ist, die aus einer ersten Schicht (2, 12) eines ersten Leitfähigkeitstyps und einer zweiten Schicht des entgegengesetzten Leitfähigkeitstyps aufgebaut ist, wobei die zweite Schicht aus mindestens zwei Teilschichten (3, 4, 13, 14) besteht, dadurch gekennzeichnet, daß die erste Teilschicht (3, 13) eine erste Dotierstoffkonzentration aufweist, daß die zweite Teilschicht (4, 14) eine zweite Dotierstoffkonzentration aufweist, die geringer als die erste ist, daß beide Teilschichten (3, 4, 13, 14) einen pn-Übergang mit der ersten Schicht (2, 12) bilden, daß der pn-Übergang der ersten Schicht (2, 12) mit der ersten Teilschicht (3, 13) ausschließlich im Inneren des Chips (1, 11) und der pn-Übergang zwischen der ersten Schicht (2, 12) und der zweiten Teilschicht (4, 14) im Randbereich des Chips (1, 11) ausgebildet ist.
2. Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, daß eine dritte Teilschicht (5, 15) vorgesehen ist, die mit der zweiten Teilschicht (4, 14) verbunden ist.
3. Halbleiteranordnung nach Anspruch 2, dadurch gekennzeichnet, daß eine Metallisierung (6, 16) vorgesehen ist, die mit der ersten Schicht (2, 12) verbunden ist und eine Metallisierung (6, 16) vorgesehen ist, die mit der dritten Teilschicht (5, 15) verbunden ist, und daß die Konzentration der ersten Schicht (2, 12) und der dritten Teilschicht (5, 15) derart gewählt sind, daß ein ohmscher Kontakt zwischen der ersten Schicht (2, 12) und der dritten Teilschicht (5, 15) und den jeweiligen Metallisierungen (6, 16) sichergestellt ist.
4. Halbleiteranordnung nach Anspruch 2 oder Anspruch 3, dadurch gekennzeichnet, daß sich die erste Schicht (2, 12) über den gesamten Querschnitt des Halbleiterchips (1, 11) erstreckt und als oberste Schicht ausgebildet ist, daß unter der ersten Schicht (2, 12) die erste Teilschicht (3, 13) im Mittelbereich des Chips (1, 11) ausgebildet ist, daß sich unter der ersten Schicht (2, 12) und der ersten Teilschicht (3, 13) die zweite Teilschicht (4, 14) über den gesamten Querschnitt des Chips (1, 11) erstreckt, und daß sich unter der zweiten Teilschicht (4, 14) die dritte Teilschicht (5, 15) über den gesamten Querschnitt des Chips (1, 11) erstreckt.
5. Halbleiteranordnung nach Anspruch 4, dadurch gekennzeichnet, daß die Oberseite des Chips (11)

als glatte Fläche ausgebildet ist.

6. Halbleiteranordnung nach Anspruch 4, dadurch gekennzeichnet, daß die Oberseite des Chips (1) im Mittelbereich als glatte Fläche und im Randbereich als abgesetzte Stufe (7) ausgebildet ist.

7. Verfahren zur Herstellung von Halbleiteranordnungen, insbesondere von Dioden, mit den Verfahrensschritten:

- Herstellen eines Wafers (20) mit einer oberen Teilschicht (3), einer darunter liegenden zweiten Teilschicht (4) und einer unten liegenden Teilschicht (5), wobei alle Teilschichten (3, 4, 5) den gleichen Leitungstyp aufweisen, und die Dotierstoffkonzentration der ersten Teilschicht (3) größer ist als die Dotierstoffkonzentration der zweiten Teilschicht (4),
- Einbringen von Gräben (22) in die Oberseite des Wafers (20), die durch die erste Teilschicht (3) hindurch bis in die zweite Teilschicht (4) reichen,
- Einbringen von Dotierstoffen in die Oberseite des Wafers (20), die den Leitfähigkeitstyp einer ersten Schicht (2) der ersten Teilschicht (3) verändern,
- Aufbringen einer Metallisierung (5) auf der Ober- und Unterseite des Wafers (20),
- Zerteilen des Wafers in einzelne Chips entlang der eingebrachten Gräben (22).

8. Verfahren nach Anspruch 7, dadurch gekennzeichnet, daß die Gräben (22) durch Sägen oder einen Ätzprozeß eingebracht werden.

9. Verfahren zur Herstellung von Halbleiteranordnungen, insbesondere von Dioden, mit folgenden Verfahrensschritten:

- Einbringen von Bereichen in die Oberfläche eines Siliziumwafers, wobei die Bereiche den gleichen Leitungstyp aber eine höhere Dotierstoffkonzentration wie der Siliziumwafer aufweisen,
- Erzeugen einer Schicht entgegengesetzten Leitungstyps auf der Oberfläche des Wafers, durch Abscheiden oder Dotieren,
- Erzeugen einer dritten Teilschicht auf der Unterseite des Wafers, wobei diese Teilschicht den gleichen Leitfähigkeitstyp wie der Wafer aufweist, wobei die Erzeugung dieser Schicht vor oder während eines der beiden ersten Prozeßschritte erfolgen kann,
- Bedecken der Ober- und Unterseite des Wafers mit Metall,
- und Zerteilen des Wafers in einzelne Chips, wobei die Zerteilungslinien zwischen die Bereiche der größeren Dotierstoffkonzentration gelegt werden.

Hierzu 1 Seite(n) Zeichnungen

FIG. 1

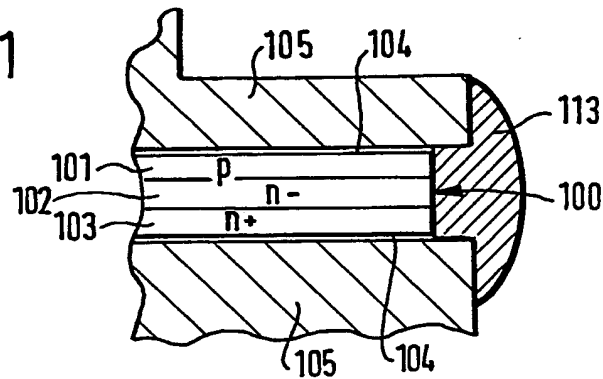


FIG. 2

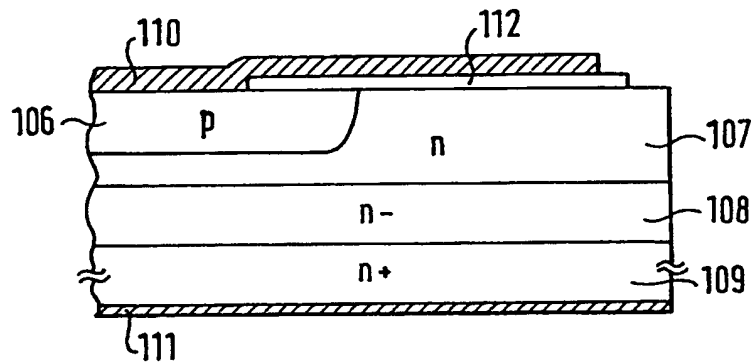


FIG. 3

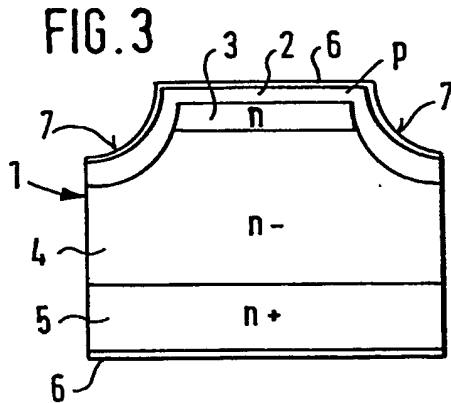


FIG. 4

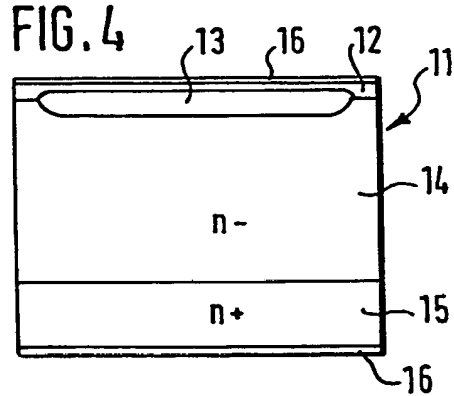


FIG. 5

